

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-225782

(43)Date of publication of application : 22.08.1995

(51)Int.Cl.

G06F 17/50

(21)Application number : 06-018014

(71)Applicant : NEC ENG LTD

(22)Date of filing : 15.02.1994

(72)Inventor : MAEDA HISASHI

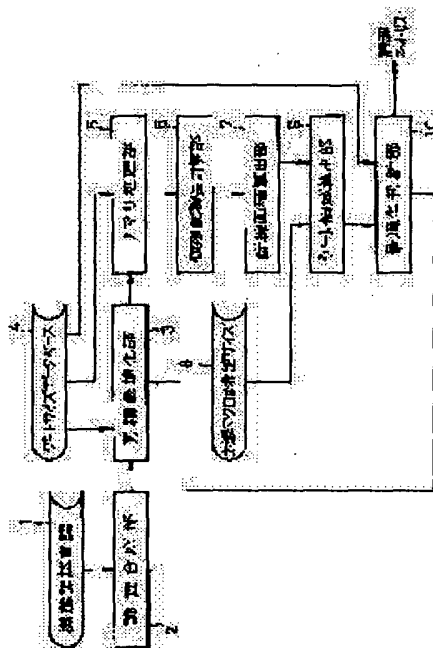
## (54) LOGICAL SYNTHETIC DEVICE

## (57)Abstract:

**PURPOSE:** To reduce the number of times of reprocessing of the area optimization after a layout processing and design man-hour by enabling the area to be optimized to the layout size desired by a designer.

**CONSTITUTION:** An area optimization part 3 refers to a gate size data base 4 and optimizes area for the logical synthetic result of a logical synthetic part 2. A summary processing part 5 refers to a gate size data base 4 and calculates the number of gate and the number of signal line pin pair from the logical synthetic result in which area is optimized. A virtual wiring length calculation part 6 calculates the virtual wiring length in the logical synthetic result based on the calculated number of gate and the number of signal line pin pair. A wiring area calculation part 7 calculates the area for wiring of the signal line in the logical synthetic result based on the virtual wiring length. A gate area calculation part 9 calculates a use possible gate area from the desired size 8 of an object macro and the calculated area for wiring.

An optimization judgment part 10 compares the number of gate after the area optimization and the use possible gate area and judges the presence or absence of the necessity of the area optimization.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-225782

(43) 公開日 平成7年(1995)8月22日

(51) Int.Cl.<sup>6</sup>  
G 0 6 F 17/50

識別記号

片内整理番号

F I

技術表示箇所

7623-5L

G 0 6 F 15/ 60

3 6 0 K

審査請求 未請求 請求項の数5 OL (全 9 頁)

(21) 出願番号 特願平6-18014

(22) 出願日 平成6年(1994)2月15日

(71) 出願人 000232047

日本電気エンジニアリング株式会社  
東京都港区芝浦三丁目18番21号

(72) 発明者 前田 寿

東京都港区西新橋三丁目20番4号 日本電  
気エンジニアリング株式会社内

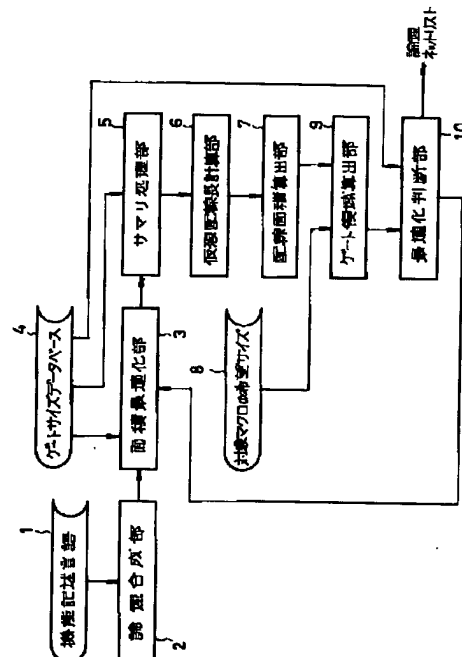
(74) 代理人 弁理士 京本 直樹 (外2名)

## (54) 【発明の名称】 論理合成装置

## (57) 【要約】

【目的】 設計者の希望するレイアウトサイズへの最適化を可能とし、レイアウト処理後の面積最適化の再処理回数及び設計工数を低減する。

【構成】 面積最適化部3はゲートサイズデータベース4を参考とし、論理合成部2の論理合成結果に対して面積の最適化を行う。サマリ処理部5はゲートサイズデータベース4を参考とし、面積最適化された論理合成結果からゲート数や信号線ピンペア数を算出する。仮想配線長計算部6は算出されたゲート数や信号線ピンペア数を基に論理合成結果における仮想配線長を計算し、配線面積算出部7は仮想配線長を基に論理合成結果における信号線の配線用面積を算出する。ゲート領域算出部9は対象マクロの希望サイズ8と算出された配線用面積とから使用可能なゲート領域を算出する。最適化判断部10は面積最適化後のゲート数と使用可能なゲート領域とを比較して面積最適化の必要の有無を判断する。



1

## 【特許請求の範囲】

【請求項 1】 入力された機能記述言語の論理合成結果に対して面積最適化処理を施して論理ネットリストを生成する論理合成装置であって、前記面積最適化処理が施された前記論理合成結果における信号線の配線領域を算出する配線領域算出手段と、外部から指定された希望レイアウト領域と前記配線領域算出手段の算出結果とを基に使用可能なゲート領域を算出するゲート領域算出手段と、前記ゲート領域算出手段の算出結果と前記論理合成結果のゲート領域とから前記論理合成結果に対する前記面積最適化処理の必要の有無を判断する最適化判断手段とを有することを特徴とする論理合成装置。

【請求項 2】 前記配線領域算出手段は、前記面積最適化処理の結果を基に前記論理合成結果における信号線の配線長を示す仮想配線長を算出する仮想配線長算出手段と、前記仮想配線長算出手段の算出結果から前記配線領域を算出する手段とを含むことを特徴とする請求項 1 記載の論理合成装置。

【請求項 3】 前記仮想配線長算出手段は、前記面積最適化処理の結果から少なくともゲート数及び信号線のピンペア数を算出する手段と、前記ゲート数及び前記信号線のピンペア数から前記仮想配線長を算出する手段とを含むことを特徴とする請求項 2 記載の論理合成装置。

【請求項 4】 前記ゲート領域算出手段は、前記希望レイアウト領域からレイアウト面積を算出する手段と、前記レイアウト面積から前記配線領域を減算して前記使用可能なゲート領域を算出する手段とを含むことを特徴とする請求項 1 から請求項 3 のいずれか記載の論理合成装置。

【請求項 5】 前記最適化判断手段は、前記論理合成結果のゲート数から最適化後のゲート領域を算出する手段と、前記最適化後のゲート領域と前記使用可能なゲート領域とを比較して前記論理合成結果に対する前記面積最適化処理の必要の有無を判断する手段とを含むことを特徴とする請求項 1 から請求項 4 のいずれか記載の論理合成装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は論理合成装置に関し、特に LSI 詳細設計において LSI（大規模集積回路）の論理機能を表した機能記述言語を入力として論理ネットリストを作成する論理合成装置に関する。

## 【0002】

【従来の技術】 一般に、この種の論理合成装置においては、LSI の論理的な機能を機能記述言語として入力し、この機能記述言語を基に回路図相当の論理ネットリストを自動的に作成するようになっている。

【0003】 ここで、LSI のレイアウトでは、図 4 に示すように、LSI チップ上にマクロ a～h を配置して階層設計している。この LSI の機能はこれらのマクロ

2

a～h によって分割表示されるようになっている。

【0004】 これらのマクロ a～h 各々は、図 5 に示すように、ゲート列が配置されるゲート領域とゲート間を接続する信号線が配置される配線領域とからなっており、その大きさは横サイズ MX と縦サイズ MY とによって表される。

【0005】 LSI レイアウト時にはこれらマクロ a～h 毎にレイアウトを実行し、レイアウトの完了したマクロ a～h を集めてチップレベルで再度レイアウトを行う。各マクロ a～h の大きさは予め決定されている LSI のチップ横サイズ CX とチップ縦サイズ CY とを基に、最適なレイアウト結果が得られるサイズに予め設定される。

【0006】 上記の論理ネットリストの作成は、図 6 に示すように、まず入力された機能記述言語 1 の論理合成が実行され（図 6 ステップ 31）、その論理合成結果に対する面積の最適化が実行される（図 6 ステップ 33）。

【0007】 この面積最適化処理は設計者が設定した最適化パラメータ 3 2 及びゲートサイズデータベース 4 を参考にして行われる。ここで、最適化パラメータ 3 2 には論理の構造を 2 段論理にする平坦化や、共通の論理を抽出して論理を多段にする多段化等が指定されている。

【0008】 例えば、 $T1 = B * C$ 、 $T2 = B * C' * D$ 、 $X = T1 + T2$  で表される論理の平坦化を行うと、 $X = T1 + T2 = B * C * C' * D = B * C + B * D = B * (C + D)$

となる。ここで、\* は論理積を、+ は論理和を、' は否定を夫々示している。

【0009】 また、 $X = A * B * E + B * C * D * E + H$ 、 $Y = A * F + B * C * F + G$  で表される論理の多段化を行うと、

$$T = A + B * C$$

$$X = D * E * (T) + H$$

$$Y = F * T + G$$

となる。

【0010】 これら平坦化や多段化はゲート数を減らす場合やゲート数を増やす場合に行われる。つまり、ゲート領域に空きがない場合には平坦化でゲート数を減らし、ゲート領域に空きがある場合には多段化でゲート数を増やすこととなる。

【0011】 また、ゲートサイズデータベース 4 には論理ゲート（2 入力論理和や 3 入力論理積、及び D-F/F 等）の使用ゲート領域（ゲートの横サイズ x や縦サイズ y で表す、単位は  $\mu m$ ）が予め格納されている。

【0012】 面積最適化処理ではゲートサイズデータベース 4 の使用ゲート領域をベースにし、論理合成結果に対して多段化や平坦化を行ってゲート数の調整を図り、面積の最適化を行う。

【0013】 この面積最適化処理の結果は、すなわち使

用した論理ゲートの種類及びその接続情報（いわゆるネットリスト）は最適化結果ファイルに格納される（図6ステップ34）。

【0014】この最適化結果ファイルに格納された論理ゲートの種類及びその接続情報を基にゲートアレイ等のLSIレイアウト下地上にゲートが配置されるとともに、ゲート間の配線が行われ、レイアウト処理・配置配線処理が実行される（図6ステップ35）。

【0015】この場合、ゲートアレイであればゲートがアレイ状に配置される。尚、レイアウト処理の結果はレイアウト結果ファイルに格納される（図6ステップ36）。設計者はそのレイアウト結果ファイルの内容によって機能記述言語1の論理合成結果が希望サイズ内に収容されたか否かを判断する（図6ステップ37）。

【0016】機能記述言語1の論理合成結果が希望サイズ内に収容されていれば、その設計処理が終了する。また、機能記述言語1の論理合成結果が希望サイズ内に収容されていない場合は、ルートA～Cのうちのいずれかが選択されて設計処理が続行される。

【0017】この場合、レイアウト結果ファイルに格納されたレイアウト処理の結果に未配線の部分があるか否かを基にルートA～Cのうちのいずれかが選択される。未配線の部分が多ければ、機能記述言語1を修正してゲート量を削減し、配線領域を増やして未配線の部分をなくすというルートA（機能記述言語1の修正）が選択される。

【0018】また、未配線の部分が少なければ、レイアウト処理でマクロサイズや形状（x、y比）、あるいはマクロ位置等を修正して配線されていない領域（デッドスペース）を削減し、配線領域を増やして未配線の部分をなくすというルートC（レイアウト処理の再実行）が選択される。

【0019】さらに、未配線の部分が中間位であれば、最適化パラメータ32を修正して面積の最適化を再度実行してより少ないゲート量とし、配線領域を増やして未配線の部分をなくすというルートB（最適化パラメータ32の修正）が選択される。

【0020】上記のルートA～Cはいずれか一つあるいは複数が実行され、機能記述言語1の論理合成結果が希望サイズ内に収容されるまで設計処理が続行される。

【0021】

【発明が解決しようとする課題】上述した従来の論理合成装置では、面積最適化実行時にユーザ側（設計者側）から具体的な最適化目標を指示することができないため、ユーザの希望サイズを達成できないまま最適化処理が完了してしまう場合がある。

【0022】また、面積最適化実行時にはレイアウト処理で必要となる配線用領域を考慮していないため、ゲートサイズのみを指標として面積最適化処理を行うので、実際に配置配線してみなければ設計者が希望するレイ

アウトサイズに収容されているかどうか判らない。

【0023】そこで、本発明の目的は上記の問題点を解消し、設計者の希望するレイアウトサイズへの最適化を行うことができ、レイアウト処理後の面積最適化の再処理回数及び設計工数を低減することができる論理合成装置を提供することにある。

【0024】

【課題を解決するための手段】本発明による論理合成装置は、入力された機能記述言語の論理合成結果に対して面積最適化処理を施して論理ネットリストを生成する論理合成装置であって、前記面積最適化処理が施された前記論理合成結果における信号線の配線領域を算出する配線領域算出手段と、外部から指定された希望レイアウト領域と前記配線領域算出手段の算出結果とを基に使用可能なゲート領域を算出するゲート領域算出手段と、前記ゲート領域算出手段の算出結果と前記論理合成結果のゲート領域とから前記論理合成結果に対する前記面積最適化処理の必要の有無を判断する最適化判断手段とを備えている。

【0025】

【実施例】次に、本発明の一実施例について図面を参照して説明する。

【0026】図1は本発明の一実施例の構成を示すブロック図である。図において、論理合成部2は機能記述言語1の論理合成を行い、その論理合成結果を面積最適化部3に出力する。

【0027】面積最適化部3はゲートサイズデータベース4に予め格納された論理ゲートの使用ゲート領域を参考とし、論理合成部2の論理合成結果に対して面積の最適化を行い、その面積最適化の結果をサマリ処理部5に出力する。

【0028】サマリ処理部5はゲートサイズデータベース4に予め格納された論理ゲートの使用ゲート領域を参考とし、面積最適化部3で面積最適化された論理合成結果からゲート数や信号線ピンペア数を算出し、それらゲート数や信号線ピンペア数を仮想配線長計算部6に出力する。

【0029】仮想配線長計算部6はサマリ処理部5で算出されたゲート数や信号線ピンペア数を基に、論理合成結果における信号線の配線長を示す仮想配線長を計算し、その仮想配線長を配線面積算出部7に出力する。

【0030】配線面積算出部7は仮想配線長計算部6で計算された仮想配線長を基に、論理合成結果における信号線の配線用面積を算出し、その配線用面積をゲート領域算出部9に出力する。

【0031】ゲート領域算出部9は設計者が作成した対象マクロの希望サイズ8と、配線面積算出部7で算出された配線用面積とから使用可能なゲート領域を算出し、その使用可能なゲート領域を最適化判断部10に出力する。

【0032】最適化判断部10は面積最適化後のゲート数から算出したゲート領域とゲート領域算出部9で算出された使用可能なゲート領域とを比較し、その比較結果から面積最適化の必要の有無を判断する。

【0033】最適化判断部10は面積最適化の必要があると判断すると、処理を面積最適化部3に戻す。また、最適化判断部10は面積最適化の必要がないと判断すると、処理を終了して論理記述言語1の論理ネットリストを出力する。

【0034】図2及び図3は本発明の一実施例の動作を示すフローチャートである。これら図1～図3を用いて、図4に示すLSIチップ上の各マクロa～hの面積最適化の動作について以下説明する。

【0035】まず、機能記述言語1が入力されると、論理合成部2で機能記述言語1の論理合成が実行され（図2ステップ11）、その論理合成結果に対して面積最適化部3で使用可能領域以下へゲート数最適化が実行される（図2ステップ12）。

【0036】この面積最適化処理はゲートサイズデータベース4を参考にして、冗長回路削除等の大まかな面積最適化処理及びゲートのファンアウト調整等によって行われる。

【0037】ここで、大まかな面積最適化処理とは冗長回路の削除等、明らかに無駄な回路の削除処理であり、例えば2つ連続して接続されているインバータ回路（否定論理）の削除等の処理である。

【0038】また、ゲートのファンアウト調整とはテクノロジー種類（CMOS4、CMOS6等）によって決定されている各種ゲートのドライブ能力を満足させるように接続相手先の数を調整する処理である。

【0039】ここで、各種ゲートのドライブ能力はゲートサイズデータベース4に予め記述されている。尚、面積最適化部3における面積最適化処理には従来の技術の平坦化や多段化等も用いられる。また、上記の論理合成部2による論理合成及び面積最適化部3による面積最適化は上述した従来の技術と同様なので、ここでは詳述しない。

【0040】次に、面積最適化部3の最適化結果からゲート数や信号線のピンペア数等がゲートサイズデータベース4を参考にしてサマリ処理部5で算出され（図2ステップ13）、それらゲート数や信号線ピンペア数等は合成結果ファイルに格納される（図2ステップ14）。

【0041】合成結果ファイルに格納されたゲート数や信号線ピンペア数等から仮想配線長計算部6で仮想配線長が計算され（図2ステップ15）、その仮想配線長は仮想配線長ファイルに格納される（図2ステップ16）。

【0042】上記の仮想配線長Lは、

$$L = \alpha \times S^{1/2} \times p p$$

または、

$$L = \alpha + \beta \times H^{1/2} \times (p p - 1)$$

等の計算式によって算出される。

【0043】尚、上記の式において、 $\alpha$ 、 $\beta$ はテクノロジー固有の係数、Sは対象データの面積（ユーザの希望する大きさ）、ppはピンペア数である。また、Hは対象ネットリストの半周長であり、 $H = (\text{ネットリスト内の全ブロック面積} / \text{ブロック使用率})^{1/2} \times 2$ で計算される。この場合、ネットリスト内の全ブロック面積はゲートサイズデータベース4から算出され、ブロック使用率はユーザによって指定される。

【0044】仮想配線長計算部6で計算された仮想配線長から配線に必要な面積が配線面積計算部7で計算され（図2ステップ17）、その配線に必要な面積は配線領域面積ファイルに格納される（図2ステップ18）。

【0045】上記の配線に必要な面積は仮想配線長ファイル内の多数のゲートゲート間仮想配線長（ $\mu m$ ）と、テクノロジー毎に異なる配線の幅（ $\mu m$ ）と、配線領域利用率（配線領域からデータスペースを減算した減算結果の配線領域に対する比であり、レイアウトツールの性能によって異なる）とから算出される。

【0046】例えば、仮想配線長が1000（ $\mu m$ ）で、配線の幅が0.5（ $\mu m$ ）で、配線領域利用率が60（%）の場合、配線に必要な面積は、  
 $1000 (\mu m) \times 0.5 (\mu m) \times 0.6 = 300 (\mu m^2)$   
 となる。

【0047】配線面積計算部7で計算された配線に必要な面積と、設計者が指定したマクロの希望サイズ（横サイズMXや縦サイズMYで表す、単位は $\mu m$ ）8とからゲート配置が可能な領域がゲート領域算出部9で算出され（図3ステップ19）、そのゲート配置が可能な領域はゲート領域面積ファイルに格納される（図3ステップ20）。

【0048】このゲート領域算出部9ではマクロの希望サイズ8から算出したマクロ面積〔MX×MY（ $\mu m^2$ ）〕から配線面積計算部7で計算された配線に必要な面積を減算してゲート配置が可能な領域を算出する。

【0049】ゲート領域算出部9で算出されたゲート配置が可能な領域と、最適化後のゲート数とは最適化判断部10で比較され（図3ステップ21）、「最適化後のゲート数>ゲート配置が可能な領域」であれば（図3ステップ20）、処理を面積最適化部3に戻してゲート配置が可能な領域以下へのゲート数削減最適化を行う。

【0050】最適化判断部10ではゲートサイズデータベース4の使用ゲート領域と最適化後のゲート数とから最適化後のゲート使用面積を算出し、そのゲート使用面積をゲート領域算出部9で算出されたゲート配置が可能な領域と比較することで、最適化の必要の有無を判断する。

【0051】上記の処理を各マクロa～h毎に順次実行

し、すなわち上記ステップ 11～22 の処理を 8 回行って各マクロ a～h の論理ネットリストを作成することで、LSI チップのレイアウトが行われる。

【0052】尚、上記の処理では階層設計のマクロ最適化について記述したが、階層展開設計時にも上記の処理と同様の結果が得られる。また、上記の処理ではゲートサイズをデータベース化した場合について記述したが、トランジスタ数やピッチ数をデータベース化した場合にも上記の処理と同様の結果が得られる。

【0053】さらに、対象マクロの希望サイズはマクロの面積でも、またマクロの横サイズ及び縦サイズやマクロのセル列数のいずれでも、上記の処理と同様の結果が得られる。

【0054】このように、従来の論理合成処理や最適化処理に加えて、仮想配線長計算処理、配線用面積算出処理、使用可能なゲート領域算出処理、最適化の必要の有無の判断処理を行うことによって、面積最適化実行時に設計者から具体的な面積最適化目標が指示可能となり、設計者の希望する面積への最適化が可能となる。

【0055】また、仮想配線長から計算した配線用領域を面積最適化に考慮することで、実際のレイアウト結果に非常に近い使用可能なゲート領域の見積りが可能となり、面積最適化実行後の面積見積り結果とレイアウト後の実面積との誤差が減少する。よって、レイアウト後の面積最適化の再処理回数を減少させることができ、ひいては設計工数を大幅に低減させることができる。

【0056】

【発明の効果】以上説明したように本発明によれば、面積最適化処理が施された前記論理合成結果における信号線の配線領域を算出し、この配線領域と外部から指定さ

れた希望レイアウト領域とを基に使用可能なゲート領域を算出し、使用可能なゲート領域と論理合成結果のゲート領域とから論理合成結果に対する面積最適化処理の必要の有無を判断することによって、設計者の希望するレイアウトサイズへの最適化を行うことができ、レイアウト処理後の面積最適化の再処理回数及び設計工数を低減することができるという効果がある。

【図面の簡単な説明】

【図 1】本発明の一実施例の構成を示すブロック図である。

【図 2】本発明の一実施例の動作を示すフローチャートである。

【図 3】本発明の一実施例の動作を示すフローチャートである。

【図 4】集積回路のレイアウトイメージの一例を示す図である。

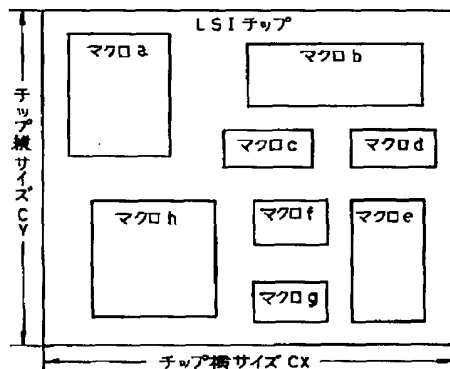
【図 5】マクロのゲート配置配線イメージの一例を示す図である。

【図 6】従来例の動作を示すフローチャートである。

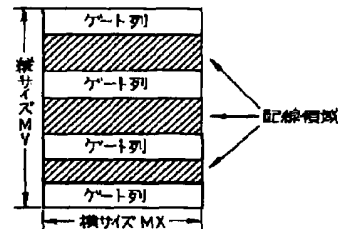
【符号の説明】

- 1 機能記述言語
- 2 論理合成部
- 3 面積最適化部
- 4 ゲートサイズデータベース
- 5 サマリ処理部
- 6 仮想配線長計算部
- 7 配線面積算出部
- 8 対象マクロの希望サイズ
- 9 ゲート領域算出部
- 10 最適化判断部

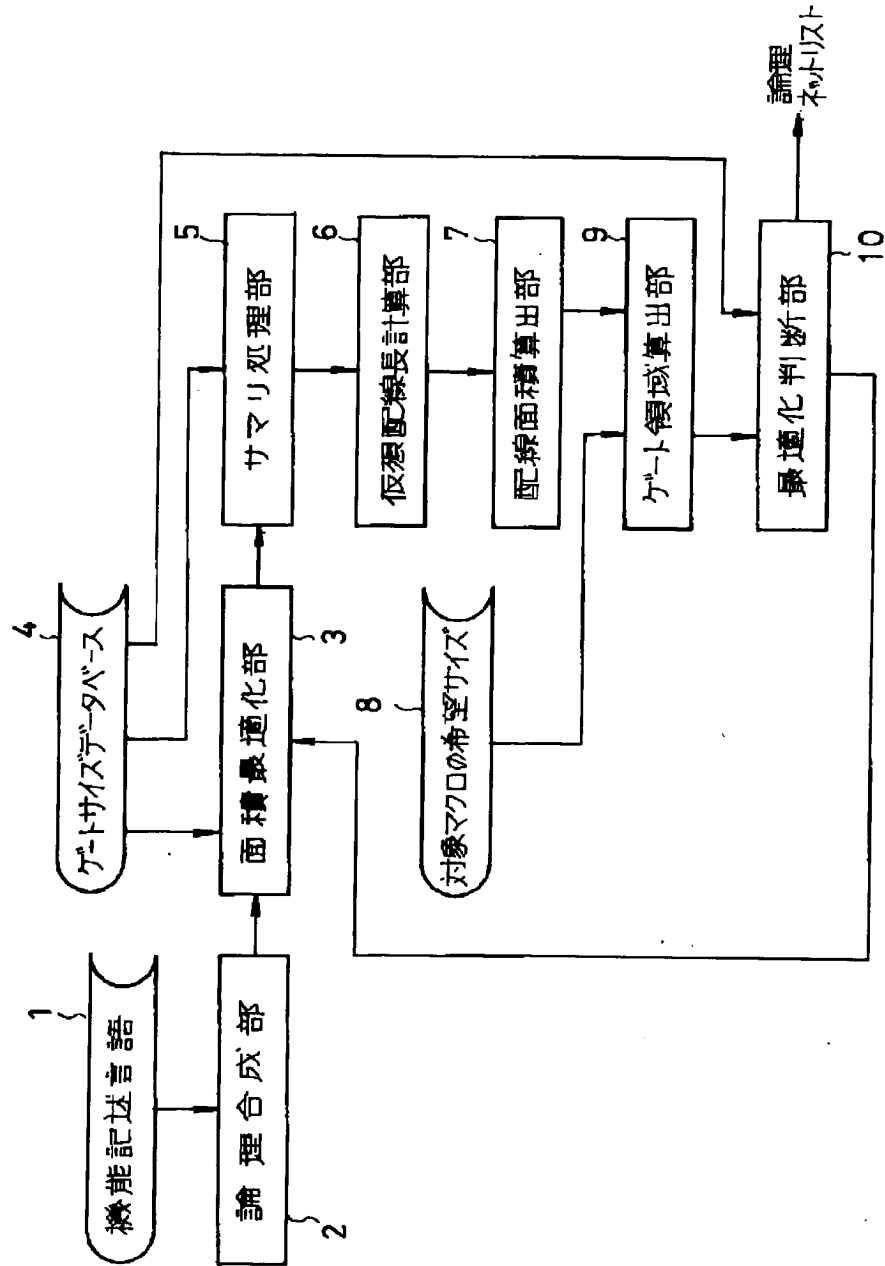
【図 4】



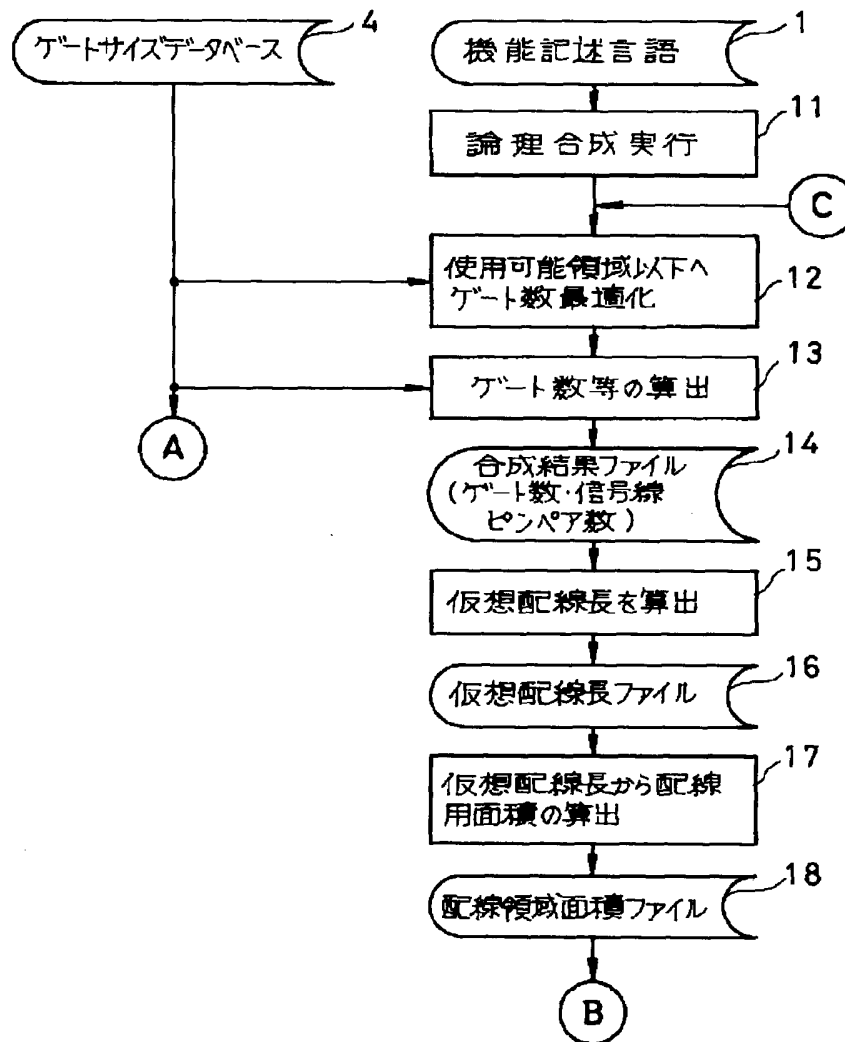
【図 5】



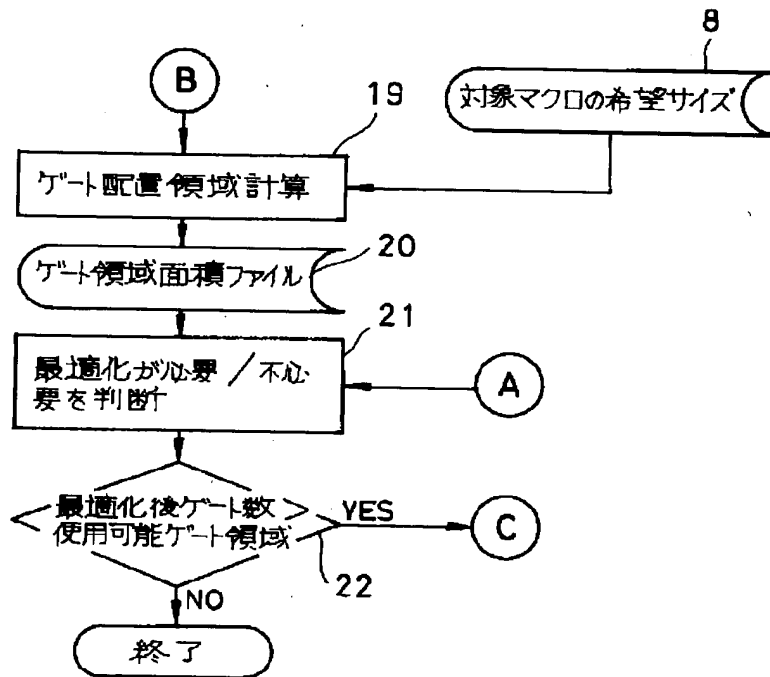
【図1】



【図2】



【図 3】



【図6】

